

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-311661

(43) 公開日 平成11年(1999)11月9日

(51) IntCl.⁶

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

M

H 0 1 L 21/66

H 0 1 L 21/66

F

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平10-120180

(22) 出願日 平成10年(1998)4月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松尾 昌一

東京都港区芝五丁目7番1号 日本電気株式会社内

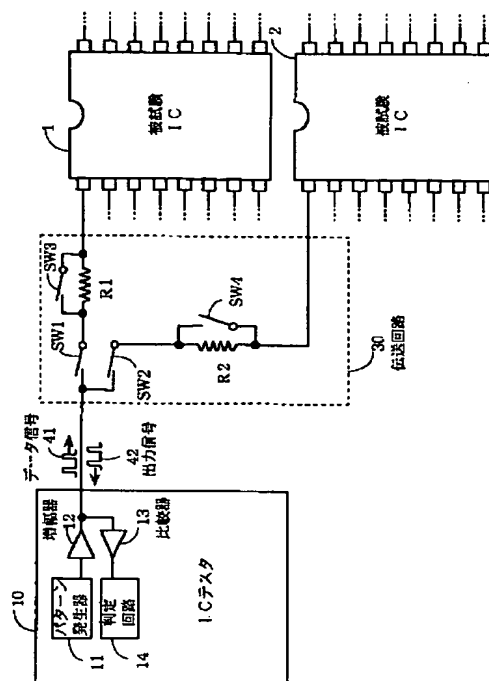
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 半導体装置試験システムおよび半導体装置試験方法

(57) 【要約】

【課題】 ICの電気的特性試験において、単数分の信号増幅器、比較器、および判定回路等により複数の被試験ICの同時試験を可能にする。

【解決手段】 ICテスト10と被試験IC1、2の間には、伝送回路30が接続されている。この伝送回路30は、ICテスト10の出力信号と被試験IC1、2の出力信号とを分岐、結合および、選択することができる。ICテスト10は、出力信号42と期待値とを比較し、その一致／不一致を判定することにより、2個の被試験IC1、2を単位にしてその良否を同時に判定することができる。



【特許請求の範囲】

【請求項1】 (a) 被試験半導体装置に印加するための試験信号を発生する試験信号発生手段と、前記被試験半導体装置の出力信号と期待値とを比較し、該被試験半導体装置の良否を判定する判定手段とを有する半導体試験装置と、

(b) 複数被試験半導体装置と前記半導体試験装置との間にあって前記複数の被試験半導体装置を並列に前記半導体試験装置に接続することが可能な伝送手段と、を備えることを特徴とする半導体装置試験システム。

【請求項2】 前記伝送手段はスイッチを内蔵し、該スイッチの切り換えにより、接続される被試験半導体装置が切り換えられることを特徴とする請求項1記載の半導体装置試験システム。

【請求項3】 (a) 複数の被試験半導体装置を1組にして半導体試験装置から同時に試験信号を印加する第1の手順と、

(b) 前記半導体試験装置により、前記1組の被試験半導体装置の出力信号と期待値とを比較し、該1組の被試験半導体装置の良否を組単位で判定する第2の手順と、を備えることを特徴とする半導体装置試験方法。

【請求項4】 前記1組の被試験半導体装置が不良品と判定された場合には、さらに、前記1組内の被試験半導体装置に個別に試験信号を印加する第3の手順と、該被試験半導体装置の出力信号と期待値とを比較し、被試験半導体装置の良否を個別に判定する第4の手順とを備えることを特徴とする請求項3記載の半導体装置試験方法。

【請求項5】 前記被試験半導体装置をマトリックス状に配置し、該マトリックスの行の組を単位とする良否判定と列の組を単位とする良否判定とを交互に実行することを特徴とする請求項3記載の半導体装置試験方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は半導体装置の電気的特性試験を行う半導体装置試験システムおよび半導体装置試験方法に関し、特にシステムのコストアップと大型化をせずに試験効率を向上させる技術に関する。

【0002】

【従来の技術】 半導体装置（以下、ICという）の電気的特性試験において、従来の半導体試験装置（以下、ICテストという）は、図5に示すようにICテスト10の信号増幅器12と比較器13が被試験IC1に個別に接続される。ICテスト10から被試験IC1への信号入力は、パターン発生器11で生成された所定のパターンを有する信号に信号増幅器12で所定の電圧レベルが与えられ、試験用のデータ信号41として被試験IC1に印加される。被試験IC1の良/不良判定は、被試験IC1からの出力信号42の電圧レベルを比較器13で期待値と比較し、一致/不一致を判定回路14で判定す

ることにより、行われる。

【0003】

【発明が解決しようとする課題】 前記従来の試験方法では、ICテスト10の信号増幅器12、比較器13、および判定回路14は被試験IC1に対し1対1で構成されているため、単純に同時試験するICの個数を増加させようすると、ICテストの信号増幅器、比較器、判定回路及び付随回路を被試験ICの個数に応じて増やさなければならず、コストの増加およびICテストの巨大化という問題点があった。

【0004】 したがって、本発明の目的はICの電気的特性試験において、単数分の信号増幅器、比較器、および判定回路等により複数の被試験ICの同時試験を可能にすることである。そして、本発明の他の目的はICの電気的特性試験の効率を向上させることである。

【0005】

【課題を解決するための手段】 前述した本発明の課題は、被試験ICに印加するための試験信号を発生する試験信号発生手段と、前記被試験ICの出力信号と期待値とを比較し、被試験ICの良否を判定する判定手段とを有するICテストと、このICテストと複数の被試験ICとの間にあって前記複数の被試験ICを並列に前記ICテストに接続することが可能な伝送手段とを備えることを特徴とするIC試験システムにより解決することができる。

【0006】 [作用] 前述したIC試験システムでは、伝送手段により、ICテストの出力信号と被試験ICの出力信号とを分岐、結合および、選択させることができるので、被試験IC1個分の試験信号発生手段および判定手段を使用して、複数個の被試験ICの良否を同時に判定することができる。

【0007】

【発明の実施の形態】 以下、本発明の実施の形態について図面を参照しながら詳細に説明する。

【第1の実施の形態】 図1は本発明によるIC試験システムの第1の実施の形態を示す図である。ここで、図5と対応する部分には、図5で使用した符号と同一の符号を付してある。図1に示すように、このIC試験システムでは、ICテスト10に伝送回路30が接続され、さらにこの伝送回路30に2個の被試験IC1および被試験IC2のそれぞれの1つのピン（端子）が接続されている。伝送回路30においては、被試験IC1のピンとの間にスイッチSW1と、スイッチSW1に直列接続された抵抗R1と、抵抗R1に並列接続されたスイッチSW3とが接続されている。また、被試験IC2のピンとの間にスイッチSW2と、スイッチSW2に直列接続された抵抗R2と、抵抗R2に並列接続されたスイッチSW4が接続されている。これらのスイッチSW1～SW4は例えばリレーで構成されており、ICテストの制御信号によりオン/オフ制御される。簡単のために、図1

においては1つのピンについての回路のみについて示したが、他のピンについても同様に伝送回路とテスト回路(11~14)が接続されている。但し、入・出力共用のピンについては図1と同様の回路構成となるが、入力用ピンについてはパターン発生器11、信号増幅器12とのみ接続され、出力用ピンについては比較器13、判定回路14とのみ接続される。また、入力用ピンの場合には抵抗R1、R2、スイッチSW3、SW4は接続されない。また、抵抗R1、R2の抵抗値をこれが接続されるピンの入力インピーダンスと比較して十分に小さく設定した場合には、スイッチSW3、SW4を省略することができる。

【0008】次に、図1のIC試験システムの動作を説明する。まず、伝送回路30におけるスイッチSW1~SW4を全てオンにしておき、ICテスト10の出力であるデータ信号41を伝送回路30を経由して被試験IC1および被試験IC2へ同時に印加する。次に、伝送回路30におけるスイッチSW3とSW4をオフにする。被試験IC1および被試験IC2の出力信号は伝送回路30を経由してICテスト10へ送られる。このとき、被試験IC1の出力信号と被試験IC2の出力信号は、それぞれ抵抗R1と抵抗R2を通り、スイッチSW1とSW2を通った後に合成されて出力信号42とされる。そして、ICテスト10の比較器13に入力されて期待値と比較され、さらに判定回路14で2個単位で良品/不良品の判定が行われる。以下、期待値が1の場合と0の場合について順番に説明する。

【0009】〔a〕期待値が“1”の場合
被試験IC1および被試験IC2が2個とも良品であれば、それぞれの出力信号のレベルは“1”となる。したがって、その合成信号も“1”となり、期待値と一致する。被試験IC1または被試験IC2に少なくとも一方が不良品であれば、合成された出力信号42のレベルは“1/2”または“0”となり、期待値と一致しなくなる。したがって、判定回路14において期待値との一致/不一致を判定することにより、2個単位で良品/不良品を判定することができる。

【0010】〔b〕期待値が“0”の場合
被試験IC1および被試験IC2が2個とも良品であれば、それぞれの出力信号のレベルは“0”となる。したがって、その合成信号も“0”のレベルとなり、期待値と一致する。被試験IC1または被試験IC2に少なくとも一方が不良品であれば、合成された出力信号42のレベルは“1/2”または“1”となり、期待値と一致しなくなる。したがって、判定回路14において期待値との一致/不一致を判定することにより、2個単位で良品/不良品を判定することができる。

【0011】不良品と判定された2個単位の被試験ICはその単位をスイッチSW1、SW2により分割し、2回に分けて試験し、各被試験ICの良品/不良品が断定

できるまで繰り返し試験をおこなう。すなわち、まず、スイッチSW1をオンにし、スイッチSW2をオフにして、スイッチSW1側に接続された被試験IC1のみ試験を行う。もし、ここで被試験IC1が良品と判定された場合は、被試験IC2が不良品ということが分かる。また、ここで被試験IC1が不良品と判定されたときは、スイッチSW1をオフにし、スイッチSW2をオンにして、被試験IC2の試験を行う。なお、以上の説明では1組(=2個)の被試験ICの良品/不良品の判定を行うものとしたが、同様にして3個以上の被試験ICの良品/不良品の判定を同時に行うことができる。

【0012】次に、以上説明した第1の実施の形態による処理効率について説明する。なお、ここでは2個の被試験ICを1組にして試験を行う場合について説明する。また、製品の良品率を X ($0 \leq X \leq 1$) とする。

〔1〕2個の被試験ICが共に良品である確率は X^2 であり、試験回数は1回である。

〔2〕2個の被試験ICの組が不良と判定された場合は、どちらか一方が不良、もしくは両方とも不良ということになる。この場合、2個の被試験ICの組を分割し1個ずつさらに試験を行う。2回目の試験で被試験ICが良品と判定された場合は、もう片方の被試験ICは不良品と判定され、その確率は $X(1-X)$ であり、試験回数の合計は2回である。

【0013】〔3〕2回目の試験で不良品と判定された場合は、もう片方の被試験ICが良品であるか不良品であるかを判定できないので3回目の試験を行なう。3回目の試験で良品と判定される確率は $(1-X)X$ であり、試験回数の合計は3回である。

〔4〕3回目の試験で不良品と判定される確率は $(1-X)^2$ であり、試験回数の合計は3回である。

【0014】処理効率、すなわち試験1回当たりの処理個数は、(処理個数)/(試験回数) \times (良品/不良品の組み合わせ条件の出現確率)の和で表される。これを前記〔1〕~〔4〕から計算すると $2/1 \times X^2 + 2/2 \times X(1-X) + 2/3 \times (1-X)X + 2/3 \times (1-X)^2 = X^2 + (1/3)X + 2/3$ [個/回]となる。したがって、良品率を90% ($X=0.9$) とすると、本実施の形態による処理効率は1.78 [個/回]となる。

【0015】前述の従来方式での試験1回当たりの処理個数は1 [個/回]であるから、良品率を90% ($X=0.9$) とすると、本実施の形態における処理効率は従来方式と比較して1.78倍となる。また、 $X=0.434$ のときに処理効率が1となるから、 $X>0.434$ という条件においては本実施の形態のほうが従来方式より処理効率が高くなる。

【0016】〔第2の実施の形態〕図2は本発明によるIC試験システムの第2の実施の形態を示す図である。このIC試験システムでは、ICテスト10に伝送回路

31が接続され、さらにこの伝送回路31に2個の被試験IC1および被試験IC2のそれぞれの1つのピンが接続されている。伝送回路31においては、被試験IC1のピンとの間に抵抗R1とスイッチSW3の並列回路が接続されている。また、被試験IC2のピンとの間に抵抗R2とスイッチSW4の並列回路が接続されている。これらのスイッチSW3、SW4は外部回路によりオン/オフ制御される。つまり、この伝送回路31は図1の伝送回路30からスイッチSW1とスイッチSW2を除去したものといえる。簡単のために、図2の回路においても1つのピンについての回路のみについて示したが、他のピンについても同様に伝送回路とテスト回路(11~14)が接続されている。但し、入力用ピンについてはパターン発生器11、信号増幅器12とのみ接続され、抵抗R1、R2、スイッチSW3、SW4は接続されない。出力用ピンについては比較器13、判定回路14とのみ接続される。また、第1の実施の形態の場合と同様に、抵抗R1、R2の抵抗値をこれが接続されるピンの入力インピーダンスと比較して十分に小さく設定した場合には、スイッチSW3、SW4を省略することができる。

【0017】次に、図2のIC試験システムの動作を説明する。まず、伝送回路31におけるスイッチSW3とスイッチSW4をオンにしておき、ICテスト10の出力であるデータ信号41を伝送回路31を経由して第1の被試験IC1および第2の被試験IC2へ同時に印加する。次に、伝送回路31におけるスイッチSW3とSW4をオフにする。被試験IC1および被試験IC2の出力信号は伝送回路31を経由してICテスト10へ送られる。このとき、被試験IC1の出力信号と被試験IC2の出力信号は、それぞれ抵抗R1と抵抗R2を通った後に合成されて出力信号42とされる。そして、ICテスト10の比較器13に入力されて期待値と比較され、さらに判定回路14で2個単位で良品/不良品の判定が行われる。この比較および判定の原理は、前述した図1のIC試験システムと同一である。

【0018】このようにして2個単位で良品/不良品の判定を行い、不良品と判定された場合には、被試験IC1と被試験IC2を一旦抜去し、まず、被試験IC1のみを挿入し、再試験を行い良品、不良品を判定する。ここで被試験IC1が良品と判定された場合は、被試験IC2が不良品ということが分かる。もし、被試験IC1が不良品と判定されたときは、被試験IC2の試験及び判定を行う。なお、このIC試験システムでも3個以上の被試験ICの良品/不良品の判定を同時に行うことができる。

【0019】この実施の形態では、第1の実施の形態と比較して、不良品の場合、一旦被試験ICを抜去しなければならないため試験効率が低下するが、スイッチSW1およびスイッチSW2等が省略できる点と、複数個の

被試験ICを1個ずつ挿入して試験しても判定結果は良品、不良品のどちらか一方であるので、試験後の被試験ICの抜去、分類処理が容易である点が第1の実施の形態に比較して優れている。

【0020】次に、以上説明した第2の実施の形態による処理効率について説明する。ここで、良品率をXとし、2個の被試験ICを組にして試験を行う場合について説明する。

〔5〕2個の被試験ICが共に良品である確率は X^2 であり、試験回数は1回である。

〔6〕2個の被試験ICの組の内どちらか一方、もしくは両方が不良の場合は、後に1個ずつ2回の試験を行う。この確率は $1 - X^2$ であり、2個の被試験ICの判定を行うために3回の試験を要する。

【0021】前述した第1の実施の形態と同様にして、試験1回当たりの処理個数を〔5〕と〔6〕から計算すると、 $2/1 \times X^2 + 2/3 \times (1 - X^2) = 4/3 X^2 + 2/3$ [個/回]となる。したがって、良品率を90% ($X = 0.9$) とすると、本実施の形態による処理効率は1.75 [個/回]となるので、従来方式と比較して1.75倍の処理効率となる。また、 $X = 0.500$ のときに処理効率が1となるから、 $X > 0.500$ という条件においては本実施の形態のほうが従来方式より処理効率が高くなる。

【0022】〔第3の実施の形態〕図3は本発明によるIC試験システムの第3の実施の形態を示す図である。このIC試験システムでは、ICテスト10に伝送回路32が接続され、さらにこの伝送回路32に4個の被試験IC1~IC4のそれぞれの1つのピンが接続されている。ここで、4個の被試験IC1~IC4は 2×2 のマトリックス状に配置されている。伝送回路32には6個のスイッチSW11~SW16が設けられている。また、伝送回路32には、図1の伝送回路30および図2の伝送回路31と同様に抵抗とスイッチの並列回路が6組設けられているが、便宜上、図示は省略した。

【0023】次に、図3のIC試験システムの動作を説明する。まず、スイッチSW11とスイッチSW12をオン、スイッチSW13をオフにして、被試験IC1と被試験IC2を組にする。また、スイッチSW15とスイッチSW16をオン、スイッチSW14をオフにして被試験IC3と被試験IC4を組にする。つまり、マトリックスの行方向の2個ずつの被試験ICを組にする。そして、それぞれの組単位でまとめて試験を行う。次の試験ではスイッチSW12とスイッチSW13をオン、スイッチSW11をオフにして被試験IC1と被試験IC3を組にする。また、スイッチSW14とスイッチSW16をオン、スイッチSW15をオフにして被試験IC2と被試験IC4を組にする。そして、前述と同様にそれぞれ列の組でまとめて試験を行う。

【0024】以後、行の組、列の組を交互に繰り返して

試験を行う。このとき、良品、不良品の組み合わせにより、図4の(イ)、(ロ)、(ハ)に示すように3通りの場合が生じる。1通り目は(イ)に示すように、行の組R-1、R-2とも良品の場合である。この場合、4個の被試験IC(1)、(2)、(3)、(4)は全て良品なので、それらを全て抜去して新しい被試験IC(5)、(6)、(7)、(8)を挿入し、この4個の被試験IC(5)、(6)、(7)、(8)を列の組C-1とC-2単位で試験する。

【0025】2通り目は(ロ)に示すように、行の組R-1、R-2のどちらか一方が不良品の場合である。この場合、良品である組を抜去し、不良品である組を残す。ここでは、R-1が良品であり、R-2が不良品の場合を図示した。次の試験では列の組C-1、C-2単位で試験を行うが、新しい被試験ICは挿入しない。したがって、C-1の組には被試験IC(3)のみ、C-2の組には被試験IC(4)のみしか存在しないため、それぞれの被試験ICの良品、不良品を判定することができる。

【0026】3通り目は(ハ)に示すように、行の組R-1、R-2がともに不良品の場合である。この場合、次の試験で列の組を単位として試験を行っても良品、不良品が判定できる確率が小さいので、被試験IC(1)、(2)、(3)、(4)を全て抜去して新しい被試験IC(5)、(6)、(7)、(8)を挿入し、この4個の被試験IC(5)、(6)、(7)、(8)を列の組C-1とC-2単位で試験する。良品/不良品の判定をすることができなかった被試験IC(1)、(2)、(3)、(4)は、別途行の組もしくは列の組に被試験ICを1個のみ挿入し、その行の組もしくは列の組の単位で良品、不良品の判定を行う。

【0027】この実施の形態には2つの利点がある。その1つは、良品、不良品の判定結果に関わらず、スイッチを交互に切り換えるのみで次の試験が行えるので、第1の実施の形態に比較して制御が容易であることである。2つ目は、被試験ICの歩留まりを X ($0 \leq X \leq 1$)とすると、不良品の組が発生しても別途再試験となる被試験ICの個数の確率が、第2の実施例と比較して $1-X^2$ 倍と少なくなることである。なお、以上の説明では被試験ICを 2×2 のマトリックス状に配置した場合を示したが、本発明はさらに多数(例、 3×3 、 4×4 等)の被試験ICを配置した場合にも同様に、列の組単位または行の組単位で同時に被試験ICの良品/不良品を判定することができる。

【0028】次に、以上説明した第3の実施の形態による処理効率について説明する。ここで、良品率を X とし、2個の被試験ICを組にして試験を行う場合について説明する。

〔7〕4個の被試験ICが全て良品である確率は X^4 であり、試験回数は1回である。

〔8〕4個の被試験ICの内3個が良品である組み合わせは4通りあり、その確率は $X^3(1-X) \times 4$ である。その内2個の被試験ICは良品/不良品の判定不可であるので、良品と判定された組を抜去し、行列の組み合わせを交換して再度試験を行い判定を行う。試験回数は2回となる。

【0029】〔9〕4個の被試験ICの内2個が良品である組み合わせは6通りある。その内、行もしくは列の組の中に良品が存在する組み合わせは2通りあり、その確率は $X^2(1-X)^2 \times 2$ である。この場合、判定不可である被試験ICは2個であるので、同様に良品と判定された組を抜去し、行列の組み合わせを交換して再度試験を行い判定を行う。試験回数は2回となる。

〔10〕4個の被試験ICの内2個が良品である組み合わせの残りの4通りでは、行もしくは列の2組とも不良となり判定不可である。その確率は $X^2(1-X)^2 \times 4$ である。この場合、全ての被試験ICが試験不可であるため、別途2個ずつ2回の試験を行い判定を行う。試験回数は3回となる。

【0030】〔11〕4個の被試験ICの内1個が良品である組み合わせは4通りあり、その確率は $X(1-X)^3 \times 4$ である。この場合も全ての被試験ICが試験不可であるため、別途2個ずつ2回の試験を行い判定を行う。試験回数は3回となる。

〔12〕最後に、4個の被試験ICが全て不良品である確率は $(1-X)^4$ であり、この場合も全ての被試験ICが試験不可であるため、同様に別途2個ずつ2回の試験を行い判定を行う。試験回数は同じく3回となる。

【0031】前述の計算方法と同様に、前記〔7〕～〔12〕から試験1回当たりの処理個数を計算すると $4/1 \times X^4 + 4/2 \times X^3(1-X) \times 4 + 4/2 \times X^2(1-X)^2 \times 2 + 4/3 \times X^2(1-X)^2 \times 4 + 4/3 \times X(1-X)^3 \times 4 + 4/3 \times (1-X)^4 = 4/3 X^4 + 4/3 X^2 + 4/3$ [個/回]となる。したがって、良品率を90% ($X=0.9$)とすると、本実施の形態による処理効率は1.64 [個/回]となるので、従来方式と比較して1.64倍の処理効率となる。また、 $X=0.605$ のときに処理効率が1となるから、 $X>0.605$ という条件においては本実施の形態のほうが従来方式より処理効率が高くなる。

【0032】

【発明の効果】以上、詳細に説明したように、本発明によれば、複数の被試験ICを1組とし、組単位で同時に良否を判定することができるので、IC試験の処理効率が向上する。また、このIC試験を行うためのIC試験システムは、ICテストの大型化とコストアップをせずに構成することができる。

【図面の簡単な説明】

【図1】本発明によるIC試験システムの第1の実施の形態を示す図である。

【図2】本発明によるIC試験システムの第2の実施の形態を示す図である。

【図3】本発明によるIC試験システムの第3の実施の形態を示す図である。

【図4】第3の実施の形態における試験結果の場合分けを示す図である。

【図5】従来のIC試験システムの構成を示す図である。

【符号の説明】

1～4 被試験IC

10 ICテスト

11, 16 パターン発生器

12, 17 信号増幅器

13, 18 比較器

14, 19 判定回路

30～32 伝送回路

41 ICテストからのデータ信号

42 被試験ICの出力信号

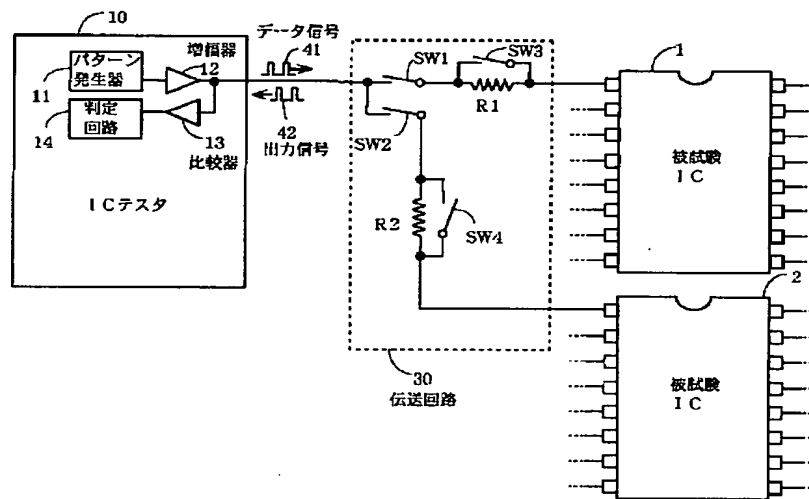
SW1～SW6 スイッチ

R1, R2 抵抗

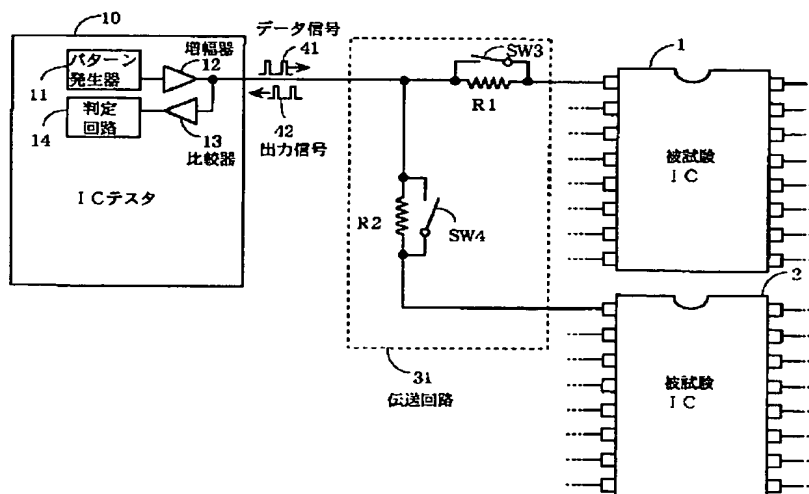
R-1, R-2 行の組

C-1, C-2 列の組

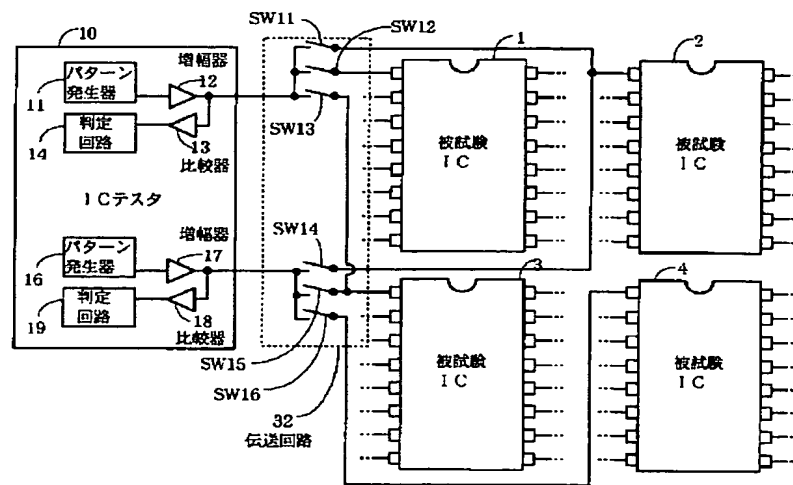
【図1】



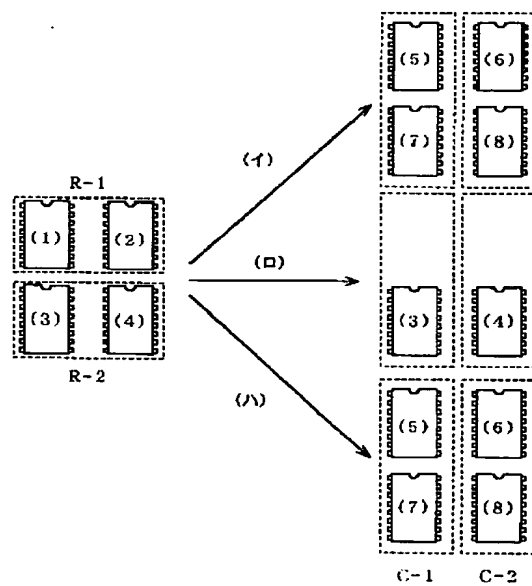
【図2】



【図3】



【図4】



【図5】

